

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-247713

(43)Date of publication of application : 14.09.1998

(51)Int.Cl.

H01L 23/48
H01L 21/331
H01L 29/73

(21)Application number : 09-050534

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.03.1997

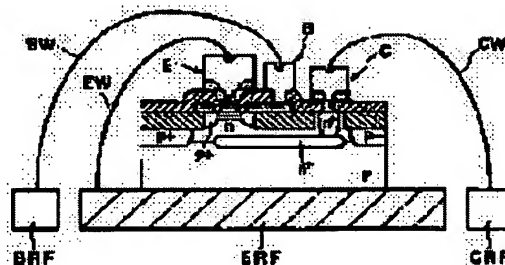
(72)Inventor : TSUKAMOTO TATSUHIKO

(54) SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance high frequency characteristics of a semiconductor device.

SOLUTION: Inside a semiconductor element, an emitter conductive part comprising a p+ type silicon substrate 10 and a p+ type emitter burying region 14 and a p+ type emitter lead-out region 20 is formed. The p+ type silicon substrate 10 of this semiconductor element is bonded to an emitter lead frame ERF, and an emitter electrode E is electrically connected to the emitter lead frame ERF at this emitter conductive part. Thereby, it is possible to abolish an emitter bonding wire connecting the emitter electrode E to the emitter lead frame ERF, and to remove impedance caused from this emitter bonding wire. Therefore, it is possible to enhance high frequency characteristics of a semiconductor device.



LEGAL STATUS

[Date of request for examination] 12.09.2000

[Date of sending the examiner's decision of rejection] 24.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-247713

(43) 公開日 平成10年(1998) 9月14日

(51) Int.Cl.⁹

H 0 1 L 23/48
21/331
29/73

識別記号

F I

H 0 1 L 23/48
29/72

S

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号

特願平9-50534

(22) 出願日

平成9年(1997) 3月5日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 塚本達彦

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

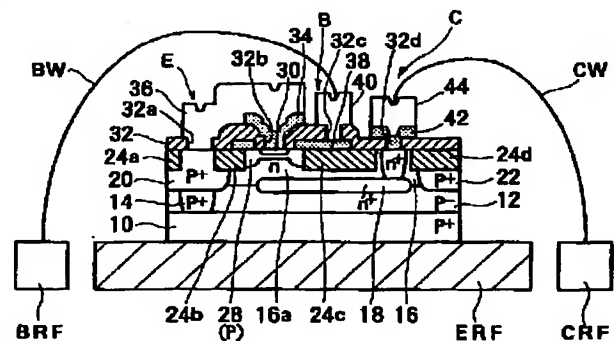
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体素子、半導体装置及びこれらの製造方法

(57) 【要約】

【課題】 半導体装置の高周波特性を向上させる。

【解決手段】 半導体素子内部に、 p^+ 型シリコン基板10と p^+ 型エミッタ埋込領域14と p^+ 型エミッタ引出領域20とからなるエミッタ導通部を形成する。そして、この半導体素子の p^+ 型シリコン基板10をエミッタリードフレームERFにダイボンディングして、エミッタ電極EとエミッタリードフレームERFとを、このエミッタ導通部で電氣的に接続する。これにより、エミッタ電極EとエミッタリードフレームERFとを接続するエミッタボンディングワイヤを廃止することができ、このエミッタボンディングワイヤにより生ずるインピーダンスを無くすることができるので、半導体装置の高周波特性を向上させることができる。



1

【特許請求の範囲】

【請求項1】複数の電極を有し、リードフレーム上に載置される、半導体素子であって、

前記電極のうちの1つの電極と前記リードフレームとの間を電氣的に接続する導通部を内部に形成することにより、前記1つの電極と前記リードフレームとを接続するボンディングワイヤを不要にしたことを特徴とする半導体素子。

【請求項2】エミッタ電極とコレクタ電極とベース電極とを有し、リードフレーム上に載置される、半導体素子であって、

これらの電極のうちのいずれかの電極と、前記リードフレームと、を電氣的に接続するための導通部を内部に形成し、

この導通部に接続する電極と前記リードフレームとを接続するボンディングワイヤを不要にしたこと、を特徴とする半導体素子。

【請求項3】リードフレーム上に載置される半導体素子であって、

第1導電型の半導体基板と、

この第1導電型の半導体基板上に形成された第1導電型の第1エピタキシャル層と、

前記第1エピタキシャル層上に形成され、その一部がコレクタ領域として機能する、第2導電型の第2エピタキシャル層と、

前記第2エピタキシャル層上に形成された、エミッタ電極、コレクタ電極及びベース電極と、

前記第1エピタキシャル層と前記第2エピタキシャル層との間に形成され、前記コレクタ領域を電氣的に引き出すための、高濃度の第2導電型のコレクタ埋込領域と、前記第2エピタキシャル層内に形成され、前記コレクタ電極と前記コレクタ埋込領域とを接続する高濃度の第2導電型のコレクタ引出領域と、

前記第2エピタキシャル層の表面部分に形成され、前記ベース電極と接続する、第1導電型のベース領域と、

前記ベース領域の表面部分に形成され、前記エミッタ電極と接続する、第2導電型のエミッタ領域と、

前記半導体基板と前記第1エピタキシャル層と前記第2エピタキシャル層との内部に形成され、前記エミッタ電極と前記リードフレームとを電氣的に接続する、エミッタ導通部と、

備えたことを特徴とする半導体素子。

【請求項4】前記エミッタ導通部は、

高濃度の第1導電型の半導体基板と、

前記第1エピタキシャル層に形成された高濃度の第1導電型のエミッタ埋込領域と、

前記第2エピタキシャル層に形成された高濃度の第1導電型のエミッタ引出領域と、

により構成されたことを特徴とする請求項3に記載の半導体素子。

2

【請求項5】前記エミッタ電極は、前記エミッタ領域に電氣的に導通するポリシリコン層と、このポリシリコン層上に被せられた配線層とを有し、

この配線層の一端側を前記エミッタ導通部に電氣的に導通させたことを特徴とする請求項3又は請求項4に記載の半導体素子。

【請求項6】複数の電極を有する半導体素子をリードフレーム上に載置した半導体装置であって、

前記電極のうちの1つの電極と前記リードフレームとの間を電氣的に接続する導通部を内部に形成した半導体素子を、前記リードフレーム上に載置して、前記1つの電極と前記リードフレームとを電氣的に導通することにより、

前記1つの電極と前記リードフレームとを接続するボンディングワイヤを不要にしたことを特徴とする半導体装置。

【請求項7】第1導電型の半導体基板上に第1導電型の第1エピタキシャル層を形成する工程と、

前記第1エピタキシャル層に、高濃度の第1導電型のエミッタ埋込領域を形成する工程と、

前記第1エピタキシャル層に、高濃度の第2導電型のコレクタ埋込領域を形成する工程と、

前記エピタキシャル層上に第2導電型の第2エピタキシャル層を形成する工程と、

前記第2エピタキシャル層に、高濃度の第2導電型のコレクタ引出領域を形成する工程と、

前記第2エピタキシャル層に、高濃度の第1導電型のエミッタ引出領域を形成する工程と、

前記第2エピタキシャル層に、第1導電型のベース領域を形成する工程と、

前記第2エピタキシャル層の前記ベース領域中に、第2導電型のエミッタ領域を形成する工程と、

前記コレクタ引出領域に接続するコレクタ電極を形成する工程と、

前記ベース領域に接続するベース電極を形成する工程と、

前記エミッタ領域と前記エミッタ引出領域との双方に接続するエミッタ電極を形成する工程と、

を備えたことを特徴とする半導体素子の製造方法。

【請求項8】請求項7に係る半導体素子をエミッタリードフレームにダイボンディングする工程と、

前記ベース電極とベースリードフレームとをワイヤでボンディングする工程と、

前記コレクタ電極とコレクタリードフレームとをワイヤでボンディングする工程と、

をさらに備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子、半導体

3

装置及びこれらの製造方法に関するものであり、特に、高周波ディスクリットnpnトランジスタに係る半導体素子、この半導体素子をボンディングした半導体装置及びこれらの製造方法に関する。

【0002】

【従来の技術】高周波信号の増幅に用いられる半導体素子として、例えば、高周波ディスクリットnpnトランジスタがある。このような高周波信号の増幅にnpnトランジスタを用いる場合、このnpnトランジスタのエミッタを接地して使用する。このようなnpnトランジスタに係る半導体素子をボンディングした半導体装置を図11及び図12に示す。これらの図のうち、図11はこの半導体装置の断面を概念的に示す図であり、図12はこの半導体装置を上側から見た状態を概念的に示す平面図である。

【0003】特に図11からわかるように、npnトランジスタの上部には、エミッタ電極Eと、ベース電極Bと、コレクタ電極Cと、が設けられている。これらの電極E、B、Cは、それぞれ、ボンディングワイヤEW、BW、CWを介して、リードフレームERF、BRF、CRFと接続されている。この図11においては、これらの接続関係を明らかにするために、後述するボンディングパッドEP、BP、CPは省略している。

【0004】より詳しくは、図12からわかるように、エミッタ電極EはエミッタボンディングパッドEP、EPに接続されており、ベース電極BはベースボンディングパッドBPに接続されており、コレクタ電極CはコレクタボンディングパッドCPに接続されている。さらに、エミッタボンディングパッドEP、EPは、エミッタボンディングワイヤEW、EWで、エミッタリードフレームERFと接続されている。ベースボンディングパッドBPは、ベースボンディングワイヤBWで、ベースリードフレームBRFと接続されている。コレクタボンディングパッドCPは、コレクタボンディングワイヤCWで、コレクタリードフレームCRFと接続されている。これら、ベースリードフレームBRF、コレクタリードフレームCREの一端部と、エミッタリードフレームERFの両端部とは、それぞれ、パッケージPGから露出し、配線基板等へ接続可能になっている。

【0005】

【発明が解決しようとする課題】従来の半導体装置においては、上述のように、npnトランジスタの各電極E、B、Cと各リードフレームERF、BRF、CRFとの間は、ボンディングワイヤEW、BW、CWによって接続されている。しかし、これらのボンディングワイヤEW、BW、CWには、余分なインピーダンスが存在するため、このnpnトランジスタの高周波特性を落とす原因となっている。すなわち、このボンディングワイヤEW、BW、CW自体の磁界の影響によりインダクタンスが生じ、このインダクタンスが余分なインピーダン

4

スとなる。このインピーダンスがnpnトランジスタの高周波特性、つまり、高周波帯域における電流増幅度を落とす原因となっているのである。特に、上述のように、npnトランジスタをエミッタ接地回路として用いると、これらのボンディングワイヤEW、BW、CWのうち、エミッタボンディングワイヤEWのインピーダンスの影響が一番大きいことが知られている。また、図12からもわかるように、エミッタボンディングパッドEPとエミッタリードフレームERFとの間は、通常、2本のワイヤで接続されており、このため、これらのエミッタボンディングワイヤEW、EWの磁界の影響は、他のボンディングワイヤBW、CWよりも非常に大きいことも知られている。

【0006】そこで本発明は、高周波信号の増幅等に使われる高周波ディスクリットnpnトランジスタ等の半導体素子において、エミッタボンディングワイヤEW、EWを廃止することにより、高周波特性を向上させることを目的とする。すなわち、エミッタボンディングワイヤEW、EWを廃止して、これらエミッタボンディングワイヤEW、EWに生ずるインピーダンスを無くすことにより、半導体素子の高周波特性を向上させることを目的とする。つまり、エミッタボンディングワイヤEW、EW自体の磁界の影響により生ずるインダクタンスを無くすことを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体素子は、複数の電極を有し、リードフレーム上に載置される、半導体素子であって、前記電極のうちの1つの電極と前記リードフレームとの間を電氣的に接続する導通部を内部に形成することにより、前記1つの電極と前記リードフレームとを接続するボンディングワイヤを不要にしたことを特徴とするものである。

【0008】

【発明の実施の形態】本実施形態に係る半導体装置は、npnトランジスタの内部にエミッタ導通部を形成し、このエミッタ導通部でエミッタ電極とエミッタリードフレームとを電氣的に接続することにより、エミッタボンディングワイヤを廃止するようにしたものである。

【0009】まず、本発明の実施形態に係る半導体装置の構造を、図1及び図2に基づいて説明する。これらの図のうち、図1は本実施形態に係る半導体素子である高周波ディスクリットnpnトランジスタをダイボンディングした半導体装置の断面を概念的に示す図であり、図2はこの半導体装置を上側から見た状態を平面的に示す概念図である。本実施形態に係る半導体装置は、半導体素子の内部に、エミッタ電極EとエミッタリードフレームERFとを電氣的に接続するための、p⁺型シリコン基板10とp⁺型エミッタ埋込領域14とp⁺型エミッタ引出領域14とからなる導通部を形成することにより、

エミッタボンディングワイヤを廃止して、エミッタボンディングワイヤにより生ずるインピーダンスを無くし、半導体装置の高周波特性を向上させたものである。

【0010】より詳しくは、図1からわかるように、高濃度の p^+ 型シリコン基板10の上には、低濃度の p^- 型第1エピタキシャル層12が形成されている。この p^- 型第1エピタキシャル層12の図中左側には、高濃度の p^+ 型エミッタ埋込領域14が形成されている。また、この p^- 型第1エピタキシャル層12の上には、 n 型第2エピタキシャル層16が形成されている。図中中央におけるこれら p^- 型第1エピタキシャル層12と n 型第2エピタキシャル層16との間には、高濃度の n^+ 型コレクタ埋込領域18が形成されている。 n 型第2エピタキシャル層16の左右両側には、それぞれ、高濃度の p^+ 型エミッタ引出領域20、高濃度の p^+ 型拡散層22が形成されている。前述の p^+ 型シリコン基板10と p^+ 型エミッタ埋込領域14と p^+ 型エミッタ引出領域20とで、後述するエミッタ電極EとエミッタリードフレームERFとの間を電氣的に接続するエミッタ導通部が形成されている。前述の n 型第2エピタキシャル層16の表面側には、フィールド酸化膜24a乃至24dが形成されている。これらフィールド酸化膜24a乃至24dのうち、フィールド酸化膜24cと24dとの間の n 型第2エピタキシャル層16には、コレクタ引き出し用の高濃度の n^+ 型コレクタ引出領域26が形成されている。フィールド酸化膜24bと24cとの間の n 型第2エピタキシャル層16は、コレクタ領域16aとして機能するようになっている。この n 型コレクタ領域16aには、 p 型ベース領域28が形成され、この p 型ベース領域28の表面側には、 n 型エミッタ領域30が形成されている。

【0011】前述の n 型第2エピタキシャル層16の上には、開孔32a乃至32dを有する層間絶縁膜32が形成されている。これらの開孔32a乃至32dのうち、開孔32b部分には、ポリシリコン層34が形成されている。このポリシリコン層34の上側には、配線層36が形成されている。これらポリシリコン層34と配線層36とでエミッタ電極Eが形成されている。このエミッタ電極Eの配線層36は図中左側へ延出しており、層間絶縁膜32の開孔32aを通じて p^+ 型エミッタ引出領域20に接続されている。前述の p 型ベース領域28の外周側の上にはポリシリコン層38が形成されている。このポリシリコン層38は図中右側へ延出し、前述の層間絶縁膜32の開孔32cを通じて、配線層40と接続されている。これらポリシリコン層38と配線層40とでベース電極Bが形成されている。図中右側の n^+ 型コレクタ引出領域26の上の開孔32d部分には、ポリシリコン層42が形成されており、このポリシリコン層42の上には配線層44が形成されている。これらポリシリコン層42と配線層44とで、コレクタ電極Cが

形成されている。

【0012】上述のベース電極Bには、ベースボンディングワイヤBWの一端が接続され、このベースボンディングワイヤの他端は、ベースリードフレームBRFに接続されている。また、コレクタ電極Cには、コレクタボンディングワイヤCWの一端が接続され、このコレクタボンディングワイヤCWの他端は、コレクタリードフレームCRFに接続されている。この図1においては、これらの電極とリードフレームとの間の接続関係を明らかにするため、ボンディングパッドは省略している。

【0013】より詳しくは、図2からもわかるように、ベース電極BはベースボンディングパッドBPに接続されており、このベースボンディングパッドBPを介してベースボンディングワイヤBWにより、ベースリードフレームBRFに接続されている。また、コレクタ電極CはコレクタボンディングパッドBPに接続されており、このコレクタボンディングパッドBPを介してコレクタボンディングワイヤCWにより、コレクタリードフレームCRFに接続されている。これらのベースリードフレームBRFとコレクタリードフレームCRFとは、その一端が、パッケージPGから露出するように形成されている。また、これらのベースリードフレームBRFとコレクタリードフレームCRFとの間を斜めに横切る形で、エミッタリードフレームERFが形成されている。このエミッタリードフレームERFは、その両端が、パッケージPGから露出するように形成されている。図1からもわかるように、このエミッタリードフレームERFには、 npn トランジスタが載置されている。すなわち、このエミッタリードフレームERFには、 npn トランジスタの p^+ 型シリコン基板10がダイボンディングされている。

【0014】次に、上述の半導体装置の製造工程を図3乃至図10に基づいて説明する。まず、図3からわかるように、 p^+ 型シリコン基板10の上に、エピタキシャル成長法により、 p^- 型第1エピタキシャル層12を形成する。次に、写真蝕刻法とイオン打ち込み法により、 As^+ 、 P^+ 等の n 型不純物を p^- 型第1エピタキシャル層12の図中中央部分に選択的にドーピングして、 n^+ 型コレクタ埋込領域18を形成する。同様に、写真蝕刻法とイオン打ち込み法により、 B^+ 等の p 型不純物を p^- 型第1エピタキシャル層12の図中左側に選択的にドーピングして、 p^+ 型エミッタ埋込領域14を形成する。次に、熱処理をすることにより、これら p^+ 型エミッタ埋込領域14と n^+ 型コレクタ埋込領域18との結晶を回復させる。以上の工程により図3に示す中間半導体素子が得られる。

【0015】次に図4からわかるように、この中間半導体素子の上にエピタキシャル成長法により、 n 型第2エピタキシャル層16を形成する。以上の工程により図4

【0016】次に図5からわかるように、 n 型第2エピタキシャル層16の図中右側に、写真蝕刻法とイオン打ち込み法により、 A_s^+ 、 P^+ 等の n 型不純物をドーピングして、 n^+ 型コレクタ引出領域26を形成する。同様に、 n 型第2エピタキシャル層16の左右両端側に、写真蝕刻法とイオン打ち込み法により、 B^+ 等の p 型不純物をドーピングして、 p^+ 型エミッタ引出領域20と p^+ 型拡散層22を形成する。次に、熱処理をすることにより、これら n^+ 型コレクタ引出領域26と p^+ 型エミッタ引出領域20と p^+ 型拡散層22との結晶を回復させる。以上の工程により図5に示す中間半導体素子が得られる。

【0017】次に図6からわかるように、LOCOS法により SiO_2 からなるフィールド酸化膜24a乃至24dを形成する。これにより、これらのフィールド酸化膜24bと24cとの間の n 型第2エピタキシャル層16が、 n 型コレクタ領域16aとなる。続いて、この n 型コレクタ領域16aに、写真蝕刻法とイオン打ち込み法により、 B^+ 等の p 型不純物をドーピングすることにより、 p 型ベース領域28Aを形成する。次に、熱処理をすることにより、この p 型ベース領域28Aの結晶を回復させる。以上の工程により図6に示す中間半導体素子が得られる。

【0018】次に図7からわかるように、この中間半導体素子の上に、LPCVD法により、 B^+ 等の p 型不純物をドーピングしつつ、ポリシリコン膜を形成し、このポリシリコン膜を写真蝕刻法とRIEにより選択的にエッチングして、ポリシリコン層38を形成する。このポリシリコン層38は、中央部近傍に開孔38Aを有するドーナツ形状に形成される。続いて、この中間半導体素子の上に、熱酸化により、 SiO_2 からなる層間絶縁膜32を形成する。この熱酸化の際には、ポリシリコン層38にドーピングされた p 型不純物が熱拡散して、 p 型ベース領域28Aの外周側に p 型拡散領域28Bが形成され、この p 型拡散領域28Bを備えた p 型ベース領域28が形成される。前述の層間絶縁膜32に、写真蝕刻法とRIEにより、開孔32b、32dを形成する。これにより、それぞれ、 p 型ベース領域28と n^+ 型コレクタ引出領域26とを露出させる。以上の工程により図7に示す中間半導体素子が得られる。なお、層間絶縁膜32をCVD法により形成することも可能であるが、その場合は、 p 型ベース領域28の p 型拡散領域28Bを形成するために、別途、熱処理が必要となる。

【0019】次に図8からわかるように、LPCVD法により、 A_s 等をドーピングしつつ、ポリシリコン膜を形成し、このポリシリコン膜を写真蝕刻法とRIEにより選択的にエッチングして、開孔32b、32d部分にポリシリコン層34、42を形成する。続いて、この中間半導体素子を熱処理することにより、ポリシリコン層34にドーピングされた A_s 等を熱拡散させて、 n 型エミッタ領域30を形成する。以上の工程により図8に示

す中間半導体素子が得られる。

【0020】次に図9からわかるように、前述の層間絶縁膜32に、写真蝕刻法とRIEにより、開孔32a、32cを形成する。これにより、それぞれ、 p^+ 型エミッタ引出領域20とポリシリコン層38とを露出させる。以上の工程により図9に示す中間半導体素子が得られる。

【0021】次に図10からわかるように、 Al 、 Au 等からなる配線用膜WMを、スパッタリングにより形成する。次に、この配線用膜WMを、写真蝕刻法とRIEにより選択的にエッチングすることにより、配線層36、40、44を形成する。これらのうち、配線層36とポリシリコン層34とによりエミッタ電極Eが形成され、配線層40とポリシリコン層38とによりベース電極Bが形成され、配線層44とポリシリコン層42とによりコレクタ電極Cが形成される。以上の工程により図10に示す半導体素子が得られる。

【0022】次に、図1及び図2からわかるように、この半導体素子を、エミッタリードフレームERFに載置する。すなわち、この半導体素子の p^+ 型シリコン基板10をエミッタリードフレームERFにダイボンディングする。次に、ベースボンディングパッドBPとベースリードフレームBRFとをベースボンディングワイヤBWでボンディングし、コレクタボンディングパッドCPとコレクタリードフレームCRFとをコレクタボンディングワイヤCWでボンディングする。以上の工程により、図1及び図2に示す半導体装置が得られる。

【0023】以上のように、本実施形態に係る半導体装置においては、エミッタ電極EとエミッタリードフレームERFとを、エミッタ導通部で電気的に接続することとした。すなわち、半導体素子の内部に形成された p^+ 型エミッタ引出領域20と p^+ 型エミッタ埋込領域14と p^+ 型シリコン基板10とからなるエミッタ導通部で、電気的に接続することとした。このため、従来必要とされたエミッタ電極EとエミッタリードフレームERFとを接続するエミッタボンディングワイヤEWを不要とすることができる。このエミッタボンディングワイヤEWを不要とすることにより、このエミッタボンディングワイヤEWのインピーダンスを無くすることができる。つまり、エミッタボンディングワイヤEW自体の磁界により生ずるインダクタンスを無くすることができる。このため、この npn トランジスタを用いた半導体装置の高周波特性、つまり、高周波帯域における電流増幅率を向上させることができる。

【0024】しかも、一般的に Au 等の高価な貴金属からなるボンディングワイヤを削減することができるので、製造原価の低減を図ることができる。さらにまた、エミッタリードフレームERFにダイボンディングされる半導体素子の底面側を、高濃度の p^+ 型シリコン基板10で形成し、この p^+ 型シリコン基板10で、エミッ

タ導通部の一部を形成したので、このエミッタ導通部の抵抗を著しく低減させることができる。

【0025】なお、本発明は上記実施形態に限定されず、種々に変形可能である。例えば、エミッタボンディングワイヤEWを廃止するのではなく、ベースボンディングワイヤBWやコレクタボンディングワイヤCWを廃止するようにすることもできる。すなわち、半導体素子内部にベース導通部を形成して、ベース電極BとベースリードフレームBRFとを電気的に接続するようにすることも可能であり、同様に、半導体素子内部にコレクタ導通部を形成して、コレクタ電極CとコレクタリードフレームCRFとを電気的に接続するようにすることも可能である。

【0026】

【発明の効果】本発明によれば、半導体素子の内部に形成された導通部により、半導体素子とリードフレームとを電気的に接続するようにして、ボンディングワイヤを廃止することとした。このため、ボンディングワイヤによるインピーダンスを無くして、半導体装置の高周波特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態における半導体装置の断面を概念的に示す図。

【図2】本発明の実施形態における半導体装置を上側から見た状態を概念的に示す図。

【図3】本発明の実施形態における半導体素子の工程断面図の一部。

【図4】本発明の実施形態における半導体素子の工程断面図の一部。

【図5】本発明の実施形態における半導体素子の工程断

面図の一部。

【図6】本発明の実施形態における半導体素子の工程断面図の一部。

【図7】本発明の実施形態における半導体素子の工程断面図の一部。

【図8】本発明の実施形態における半導体素子の工程断面図の一部。

【図9】本発明の実施形態における半導体素子の工程断面図の一部。

10 【図10】本発明の実施形態における半導体素子の断面図。

【図11】従来の半導体装置の断面を概念的に示す図。

【図12】従来の半導体装置を上側から見た状態を概念的に示す図。

【符号の説明】

E エミッタ電極

B ベース電極

C コレクタ電極

ERF エミッタリードフレーム

20 BRF ベースリードフレーム

CRE コレクタリードフレーム

BW ベースボンディングワイヤ

CW コレクタボンディングワイヤ

10 p⁺型シリコン基板（半導体基板）

14 p⁺型エミッタ埋込領域

16a n型コレクタ領域

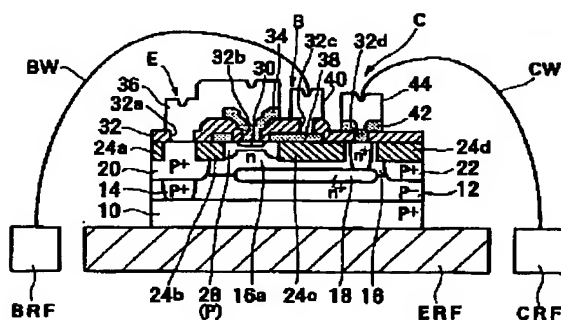
18 n⁺型コレクタ埋込領域

20 p⁺型エミッタ引出領域

28 p型ベース領域

30 30 n型エミッタ領域

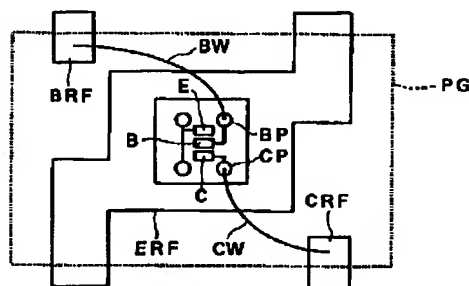
【図1】



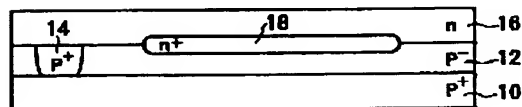
【図3】



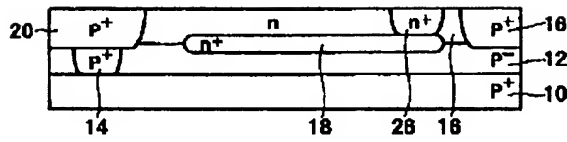
【図2】



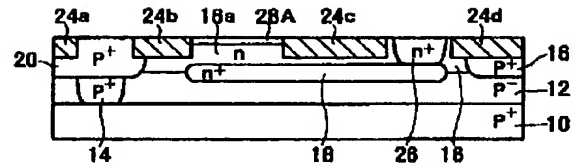
【図4】



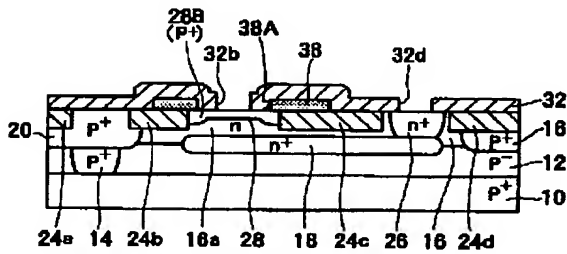
【図5】



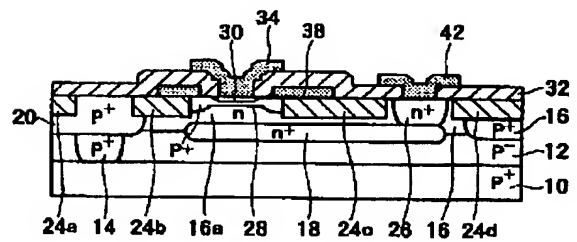
【図6】



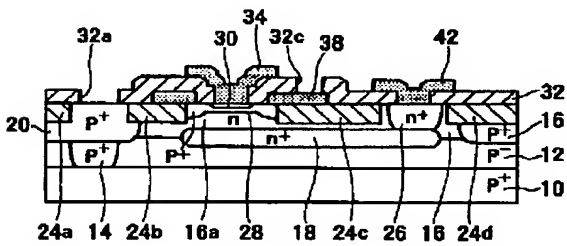
【図7】



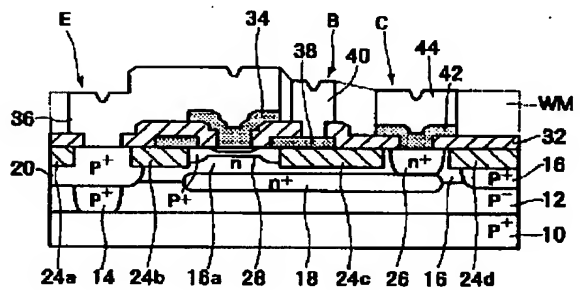
【図8】



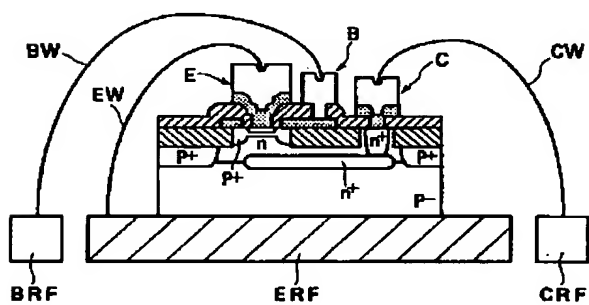
【図9】



【図10】



【図11】



【図12】

